

PAT-NO: JP408088323A  
DOCUMENT-IDENTIFIER: JP 08088323 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE  
PUBN-DATE: April 2, 1996

INVENTOR-INFORMATION:  
NAME  
FUKUMOTO, HARUTSUGU  
TANAKA, HIROAKI  
ASAI, SHOKI

ASSIGNEE-INFORMATION:  
NAME  
NIPPONDENSO CO LTD

COUNTRY  
N/A

APPL-NO: JP06222902  
APPL-DATE: September 19, 1994

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/8238 ,  
H01L027/092  
                  , H01L027/08 , H01L027/12 , H01L029/786

ABSTRACT:

PURPOSE: To obtain a semiconductor integrated circuit device which is protected from a surge across a signal input terminal and a power-supply input terminal for an SOI-structure integrated circuit and which enhances a static electricity-resistant amount.

CONSTITUTION: An inverter circuit 4 as an integrated circuit is formed on a

thin-film semiconductor layer 3 which is formed on a p-type silicon substrate 1 via an insulating film 2. A diode diffusion region 8, a resistance diffusion region 9 and an FET diffusion region 12 are formed inside the silicon substrate 1. The input part of the inverter circuit 4 is connected to a signal input terminal S via the resistance diffusion region 9. A power-supply input terminal VC is connected to a grounding terminal G via the reverse direction of a diode D formed of the diode diffusion region 8. When a surge is applied to the signal input terminal S, a parasitic diode DD which is formed of the diode D or of the resistance diffusion region 9 and of the silicon substrate 1 causes an avalanche breakdown so as to bypass a surge current. It is possible to enhance the static electricity-resistant amount of the inverter circuit 4.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-88323

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/04

21/822

21/8238

H01L 27/04

H

27/08

321 H

審査請求 未請求 請求項の数3 OL (全6頁) 最終頁に続く

(21)出願番号 特願平6-222902

(22)出願日 平成6年(1994)9月19日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 福本 晴雄

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 浅井 昭喜

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

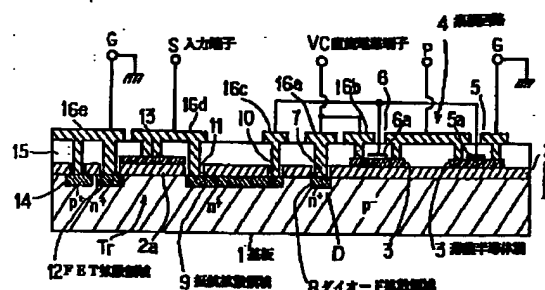
(74)代理人 弁理士 佐藤 強

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 SOI構造の集積回路の信号入力端子と電源入力端子との間のサージに対する保護を図り、静電耐量を向上させる。

【構成】 p形のシリコン基板1上に絶縁膜2を介して形成された薄膜半導体層3に集積回路であるインバータ回路4が形成されている。シリコン基板1内には、ダイオード拡散領域8、抵抗拡散領域9およびFET拡散領域12が形成されている。インバータ回路4の入力部は抵抗拡散領域9を介して信号入力端子Sに接続される。電源入力端子VCはダイオード拡散領域8により形成されるダイオードDを逆方向に介してグランド端子Gに接続される。信号入力端子Sにサージが印加されると、ダイオードDあるいは抵抗拡散領域9とシリコン基板1とによりなる寄生ダイオードDDがアバランシェブレイクダウンを起してサージ電流を側路する。インバータ回路4の静電耐量を向上させることができる。



## 【特許請求の範囲】

【請求項1】 第1の導電性を有する半導体基板上に絶縁膜を介して設けられた薄膜半導体層に集積回路を形成してなる半導体集積回路装置において、

前記集積回路の信号入力部と信号入力端子との間に電氣的に接続されるように前記半導体基板内に前記第1の導電性と異なる第2の導電性を有する不純物を拡散することにより形成された抵抗拡散領域と、

前記集積回路の一对の直流電源入力端子の間に電氣的に逆方向に接続されるように前記半導体基板内に前記第2の導電性を有する不純物を拡散することにより形成されたダイオード拡散領域とを設けて構成したことを特徴とする半導体集積回路装置。

【請求項2】 前記抵抗拡散領域および前記ダイオード拡散領域は隣接する位置に形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記半導体基板内に前記第2の導電性を有する不純物を拡散することにより形成したFET拡散領域と、

前記半導体基板内に形成したFET拡散領域と前記抵抗拡散領域との間の表面に絶縁膜を介した状態でそれらの拡散領域間に跨がるように形成したゲート端子とを具備し、

前記抵抗拡散領域と前記ゲート端子とを前記信号入力端子に電氣的に接続すると共に前記FET拡散領域を前記直流電源入力端子の他方に電氣的に接続することにより前記信号入力端子と前記他方の直流電源入力端子との間に入力保護用のMOSFETを形成したことを特徴とする請求項1または2記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、SOI構造を有する集積回路の信号入力端子に印加されるサージ入力から集積回路を保護する構成を備えた半導体集積回路装置に関する。

## 【0002】

【従来の技術】シリコンなどの半導体基板に集積回路を形成した半導体集積回路においては、外部からのサージ入力などに対応して集積回路部を静電破壊から防止する構成として、回路の入力部分にダイオード、抵抗あるいはトランジスタなどからなる入力保護回路を設けて構成したものがある。ところが、シリコン基板に絶縁膜を介して形成した薄膜半導体層に集積回路を設けるようにしたSOI構造のものでは、上述のような入力保護回路として薄膜半導体層中にダイオードを形成しても電流経路の断面積が小さいために電流容量が大きく制限され、静電耐量を大きくすることができない不具合があった。

【0003】そこで、このような不具合を解決すべく、従来では、例えば、特開平4-345064号公報に示されるもののよう

するのではなく、絶縁層の下にシリコン基板内に形成して電流容量を確保する構成が考えられている。これにより、信号入力端子にサージが印加された場合には、シリコン基板内の保護回路を介して大電流を流すことができ、静電耐量を大きく向上させることができる。

## 【0004】

【発明が解決しようとする課題】しかしながら、上述のような従来構成のものの場合に、信号入力端子とグラウンド端子（基準電源入力端子）との間に印加されるサージ入力に対しては、シリコン基板内に形成した保護回路により保護動作を行うことができるが、電源入力端子（正の電源入力端子）と信号入力端子との間に印加されるサージに対しては、これを保護する構成が存在しないので集積回路側にサージが印加されることになって静電破壊に至る虞があり、さまざまなサージに対する静電耐量の向上を図ることができないものであった。

【0005】本発明は、上記事情に鑑みてなされたもので、その目的は、半導体基板上に絶縁膜を介して形成する薄膜半導体層に集積回路を設けるSOI構造の集積回路において、直流電源入力端子と信号入力端子との間に印加されるサージに対する静電耐量の向上を図れるようにした半導体集積回路装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明は、第1の導電性を有する半導体基板上に絶縁膜を介して設けられた薄膜半導体層に集積回路を形成してなる半導体集積回路装置を対象とし、前記集積回路の信号入力部と信号入力端子との間に電氣的に接続されるように前記半導体基板内に前記第1の導電性と異なる第2の導電性を有する不純物を拡散することにより形成された抵抗拡散領域と、前記集積回路の一对の直流電源入力端子の間に電氣的に逆方向に接続されるように前記半導体基板内に前記第2の導電性を有する不純物を拡散することにより形成されたダイオード拡散領域とを設けて構成したところに特徴を有している（請求項1）。

【0007】また、前記抵抗拡散領域および前記ダイオード拡散領域は隣接する位置に形成することが好ましい（請求項2）。

【0008】さらに、前記半導体基板内に前記第2の導電性を有する不純物を拡散することにより形成したFET拡散領域と、前記半導体基板内に形成したFET拡散領域と前記抵抗拡散領域との間の表面に絶縁膜を介した状態でそれらの拡散領域間に跨がるように形成したゲート端子とを設け、前記抵抗拡散領域と前記ゲート端子とを前記信号入力端子に電氣的に接続すると共に前記FET拡散領域を前記直流電源入力端子の他方に電氣的に接続することにより前記信号入力端子と前記他方の直流電源入力端子との間に入力保護用のMOSFETを形成することが好ましい（請求項3）。

## 【0009】

【作用および発明の効果】請求項1記載の半導体集積回路装置によれば、信号入力端子と正の直流電源入力端子との間にサージ入力印加されたときに、信号入力端子に対するサージ入力のレベルが負である場合には、抵抗拡散領域と半導体基板との間に順方向の電圧が印加されると共に半導体基板とダイオード拡散領域との間にサージ入力のレベルに相当する逆方向の大きな電圧が印加されるようになり、これによって半導体基板とダイオード拡散領域との間に形成されるダイオードがアバランシェブレイクダウンを起こして電流を流すようになる。これにより、正の直流電源入力端子から信号入力端子に向かって電流が流れてサージ入力を吸収することができ、集積回路の静電破壊を防止することができるようになる。

【0010】また、信号入力端子と正の直流電源入力端子との間にサージ入力印加されたときに、信号入力端子に対するサージ入力のレベルが正である場合には、半導体基板とダイオード拡散領域との間に順方向の電圧が印加されると共に抵抗拡散領域と半導体基板との間にサージ入力のレベルに相当する逆方向の大きな電圧が印加されるようになり、これによって抵抗拡散領域と半導体基板との間に形成される寄生ダイオードがアバランシェブレイクダウンを起こして電流を流すようになる。これにより、信号入力端子から正の直流電源入力端子に向かって電流が流れてサージ入力を吸収することができ、集積回路の静電耐量を向上させることができるようになる。

【0011】請求項2記載の半導体集積回路装置によれば、半導体基板内に形成された抵抗拡散領域とダイオード拡散領域とが隣接する位置にあるので、上述のようにいずれかの拡散領域がアバランシェブレイクダウンを起こしたときに流れる電流を半導体基板内部の短い経路を介して流すことができるようになり、サージ入力の吸収を効率的に行って静電耐量をより向上させることができる。

【0012】請求項3記載の半導体集積回路装置によれば、信号入力端子とグラウンドレベルの直流電源入力端子との間にサージ入力印加されたときには、MOSFETを介してサージ入力のレベルに対応する電流を側路することができるようになるので、信号入力端子に印加されるサージ入力が一対の直流電源端子のいずれとの間に発生している場合でもこれを側路して集積回路の静電耐量を向上させることができるようになる。

【0013】

【実施例】以下、本発明をシリコン基板を用いたSOI構造のCMOS-ICに適用した場合の一実施例について図面を参照しながら説明する。全体の模式的な断面を示す図1および電極を除いた状態の平面図で示す図2において、半導体基板であるp形の低不純物濃度のシリコン基板1の表面にはシリコン酸化膜等からなる絶縁膜2がほぼ全面に渡って形成されており、その上部には薄膜

半導体層3が形成されている。

【0014】薄膜半導体層3には集積回路の信号入力部として、例えばCMOSインバータ回路4が形成されている。インバータ回路4は、pチャンネル形MOSFET5とnチャンネル形MOSFET6とから構成されている。各MOSFET5、6には、薄膜半導体層3に形成されたソース、ドレインおよびゲート酸化膜を介して形成されたゲート5a、6aを有した構成とされている。インバータ回路4に隣接する位置には絶縁膜2に窓部7が形成されており、その部分のシリコン基板1内にはn形の不純物を高濃度で拡散して形成したダイオード拡散領域8が設けられている。そして、このn形のダイオード拡散領域8とp形のシリコン基板1とのpn接合によりダイオードDが構成されている。

【0015】また、ダイオード拡散領域8に隣接する位置には、シリコン基板1内部にn形の不純物を高濃度で拡散して形成した抵抗拡散領域9が形成されており、その抵抗拡散領域9の両端部の絶縁膜2には窓部10、11が形成されている。そして、抵抗拡散領域9は、この窓部10および11との間に横方向に形成される領域によって所定の抵抗値を有する抵抗Rとして構成されている。

【0016】さらに、抵抗拡散領域9に隣接する位置のシリコン基板1内部には、n形の不純物を高濃度で拡散して形成したFET拡散領域12が形成されている。このFET拡散領域12と抵抗拡散領域9との間の表面に形成されている絶縁膜2a上にはゲート13が形成されており、これらによりnチャンネルのMOS形電界効果トランジスタ(MOSFET)Trが構成されている。なお、FET拡散領域12に隣接する位置には、シリコン基板1内に、p形の不純物を高濃度で拡散して形成したコンタクト拡散領域14が形成されている。

【0017】上述のように形成された上部には、所定部位を除いた全面に保護用絶縁膜15を形成し、その後、アルミニウムの蒸着などにより電極16を形成して、各部を電気的に接続するようにしている。この場合、ダイオード拡散領域8は、電極16aにより正の直流電源入力端子VCを介して外部電源に接続されると共に、インバータ回路4のMOSFET6のソースの電極16bに接続されている。

【0018】抵抗拡散領域9のダイオード拡散領域8と隣接する側に形成された電極16cは、インバータ回路4の入力部であるMOSFET5、6のゲートに共通に接続されており、抵抗拡散領域9の他方の側に形成された電極16dは、トランジスタTrのゲート13に形成された電極と共通にして外部に導出される信号入力端子Sに接続されている。また、FET拡散領域12に形成された電極16eは、コンタクト拡散領域14に形成された電極と共通にして、他の直流電源入力端子であるグラウンド端子Gに接続され、アースされている。

【0019】なお、上記構成において、ダイオード拡散領域8とシリコン基板1とから構成されるダイオードDは、所定以上に逆方向電圧が印加されるとpn接合がアバランシェブレイクダウンを起こして逆電流が流れるようになっている。また、抵抗拡散領域9は、シリコン基板1との間に形成されるpn接合が寄生ダイオードDDとして機能するようになっており、この寄生ダイオードDDにおいても、上述と同様に所定以上の逆方向電圧が印加されるとpn接合がアバランシェブレイクダウンを起こして逆電流が流れるようになっている。

【0020】図3は、上記構成を電氣的な等価回路で示したもので、インバータ回路4は、直流電源入力端子VCとグランド端子Gとの間に接続されており、信号入力端子Sは抵抗Rを介してインバータ回路4の入力部であるゲートに接続されている。そして、直流電源入力端子VCとグランド端子Gの間にはダイオードDが逆方向に接続されており、信号入力端子Sとグランド端子Gの間にはトランジスタTrが接続された状態となっている。

【0021】次に本実施例の作用について図4ないし図7をも参照して説明する。まず、信号入力端子Sに電源入力端子VCに対して負となるサージが印加された場合について述べる。この場合、図5に示す等価回路上では、サージ電流が吸収される経路がなく、インバータ回路4側に印加されてしまうことになる。ところが、この場合においては、ダイオード拡散領域8とシリコン基板1との間のダイオードDに大きい電圧が印加されてアバランシェブレイクダウンを起こすことにより、シリコン基板1から抵抗拡散領域9部分に形成される寄生ダイオードDD（図4中破線で示す）を介して入力端子S側に至る電流経路が形成され、サージ電流が側路されるようになる。

【0022】したがって、サージ電流は、図中白抜き矢印Kで示すように、電源入力端子VCからダイオード拡散領域8、シリコン基板1を介して抵抗拡散領域9に至り、そこから信号入力端子Sにつながる経路で流れるようになる。これによって、サージ電流を側路してインバータ回路4の入力部に過電圧が印加されるのを防止することができるようになる。

【0023】次に、信号入力端子Sに電源入力端子VCの直流電圧よりも高いサージが印加された場合について述べる。この場合、図7に示す等価回路上では、上述と同様にサージ電流が吸収される経路がなく、インバータ回路4側に印加されることになる。ところが、この場合においては、信号入力端子Sから抵抗拡散領域9を介してインバータ回路4に至る途中で、抵抗拡散領域9とシリコン基板1との間に形成される寄生ダイオードDD（図6中破線で示す）に逆方向電圧が印加されることになり、その逆方向電圧が所定電圧以上になると寄生ダイオードDDがアバランシェブレイクダウンを起こすよう

になる。

【0024】したがって、サージ電流は、図中白抜き矢印Mで示すように、入力端子Sから抵抗拡散領域9、シリコン基板1内を介してダイオード拡散領域8に至り、そこから電源入力端子VCにつながる経路で流れるようになる。これによって、サージ電流を側路してインバータ回路4の入力部に過電圧が印加されるのを防止することができる。

【0025】また、信号入力端子Sとグランド端子Gとの間に印加されるサージに対しては、MOS形電界効果トランジスタTrがオンすることによりサージ電流を側路させることができる。

【0026】このような本実施例によれば、シリコン基板1内にダイオード拡散領域8、抵抗拡散領域9およびFET拡散領域12を設ける構成としたので、信号入力端子Sと直流電源入力端子VCとの間に印加されるサージに対していずれかにおいてアバランシェブレイクダウンを起こすようにしてサージ電流を側路させることができ、入力端子Sとグランド端子Gとの間に印加されるサージに対してもこれを側路させることができるようになり、SOI構造の集積回路であるインバータ回路4が静電破壊を起こすのを防止することができ、入力保護の向上を図ることができる。

【0027】本発明は、上記実施例にのみ限定されるものではなく、次のように変形または拡張できる。インバータ回路4に限らず、例えばマイクロコンピュータなどのCPUやDSPなどの他のSOI構造の集積回路にも適用できる。n形のシリコン基板を用いる構成のSOI構造の半導体集積回路に対しても、各素子の極性が反対になることを除いて同様に適用することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す全体の模式的な縦断面図

【図2】電極部分を除いて示す平面図

【図3】電氣的な等価回路図

【図4】サージ印加時の電流経路を示す図1相当図

【図5】サージ印加時の電流経路を示す図3相当図

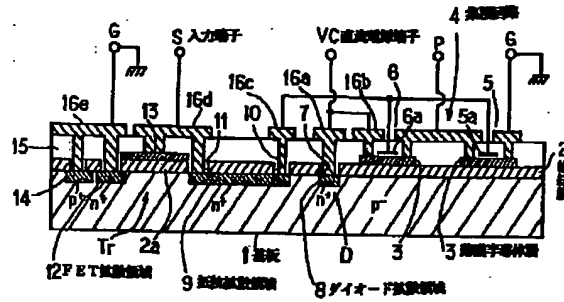
【図6】異なるサージ印加時の図4相当図

【図7】異なるサージ印加時の図5相当図

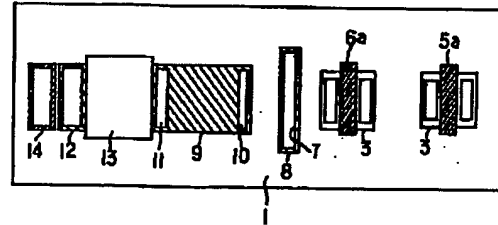
【符号の説明】

1はシリコン基板、2は絶縁膜、3は薄膜半導体層、4はインバータ回路、5はpチャンネル形MOSFET、6はnチャンネル形MOSFET、8はダイオード拡散領域、9は抵抗拡散領域、12はFET拡散領域、13はゲート、14はコンタクト拡散領域、15は保護用絶縁膜、16は電極、Sは信号入力端子、Dはダイオード、TrはMOS形電界効果トランジスタ、Vcは直流電源入力端子、Gはグランド端子（直流電源入力端子）である。

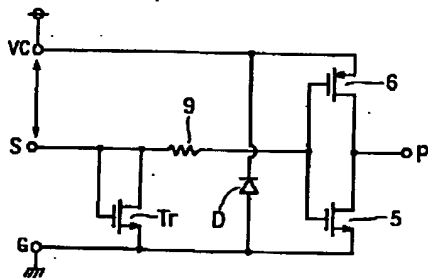
【図1】



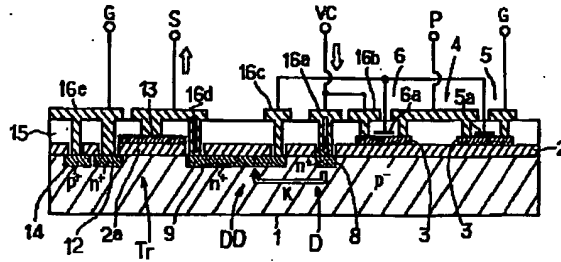
【図2】



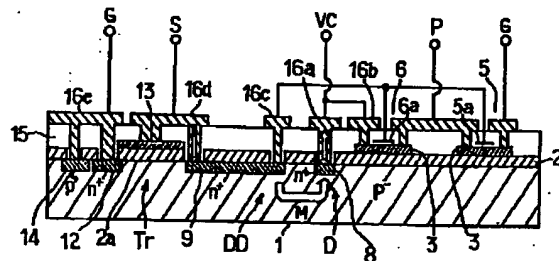
【図3】



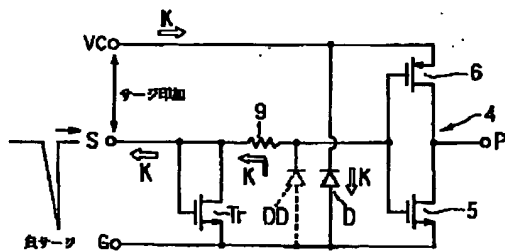
【図4】



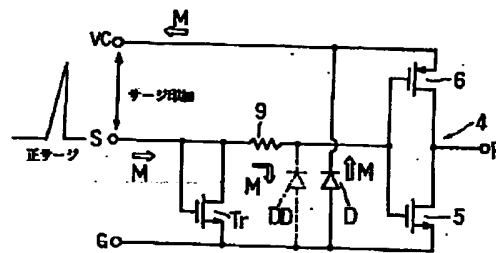
【図6】



【図5】



【図7】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H01L 27/092

27/08

27/12

29/786

識別記号

片内整理番号

F I

技術表示箇所

331 F

K

9056-4M

H01L 29/78

623 Z



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to semiconductor integrated circuit equipment equipped with the composition which protects an integrated circuit from the surge input impressed to the signal input terminal of the integrated circuit which has SOI structure.

[0002]

[Description of the Prior Art] In the semiconductor integrated circuit which formed the integrated circuit in semiconductor substrates, such as silicon, there are some which prepared and constituted the input-protection circuit which becomes the input portion of a circuit from diode, resistance, or a transistor as composition which prevents the integrated-circuit section from an electrostatic discharge corresponding to the surge input from the outside etc. However, in the thing of SOI structure which prepared the integrated circuit in the thin-film-semiconductor layer formed in the silicon substrate through the insulator layer, even if it formed diode into the thin-film-semiconductor layer as above input-protection circuits, since the cross section of a current path was small, current capacity was restricted greatly and there was fault which cannot enlarge the electrostatic tolerance dose.

[0003] Then, that such fault should be solved, by the former, although shown in JP,4-345064,A, the composition which does not form a protection network into a thin-film-semiconductor layer, but forms in the silicon substrate under an insulating layer, and secures current capacity is considered [ like ], for example. Thereby, when a surge is impressed to a signal input terminal, a high current can be passed through the protection network in a silicon substrate, and the electrostatic tolerance dose can be raised greatly.

[0004]

[Problem(s) to be Solved by the Invention] However, although the protection network formed in the silicon substrate can perform protection operation to the surge input which is impressed between a signal input terminal and a grand terminal (reference supply input terminal) in the case of the thing of composition conventionally [ above ] As opposed to the surge impressed between a power supply input terminal (positive power supply input terminal) and a signal input terminal It was what there is a possibility of a surge being impressed to an integrated-circuit side and resulting in an electrostatic discharge since the composition which protects this does not exist, and cannot aim at improvement in the electrostatic tolerance dose to various surges.

[0005] this invention was made in view of the above-mentioned situation, and the purpose is in offering the semiconductor integrated circuit equipment which enabled it to aim at improvement in the electrostatic tolerance dose to the surge impressed to the thin-film-semiconductor layer formed through an insulator layer on a semiconductor substrate between a DC-power-supply input terminal and a signal input terminal in the integrated circuit of SOI structure which prepares an integrated circuit.

[0006]

[Means for Solving the Problem] this invention is aimed at the semiconductor integrated circuit equipment which comes to form an integrated circuit in the thin-film-semiconductor layer prepared through the insulator layer on the semiconductor substrate which has the 1st conducted type of current. The resistance diffusion field formed in the aforementioned semiconductor substrate by diffusing the impurity which has the 2nd different conducted type from the conducted type of the above 1st of current of current so that it might connect electrically between the signal input part of the aforementioned integrated circuit, and a signal input terminal, It has the feature at the place which prepared and constituted the diode diffusion field formed in the aforementioned semiconductor substrate by diffusing the impurity which has the conducted type of the above 2nd of current so that it might connect with an opposite direction electrically between the DC-power-supply input terminals of the couple of the aforementioned integrated circuit (claim 1).

[0007] Moreover, it is desirable to form the aforementioned resistance diffusion field and the aforementioned diode diffusion field in an adjoining position (claim 2).

[0008] Furthermore, the FET diffusion field formed in the aforementioned semiconductor substrate by diffusing the impurity which has the 2nd conductivity of the above, The gate terminal formed so that it might straddle among those diffusion fields, where an insulator layer is minded between the FET diffusion fields and the aforementioned resistance diffusion fields which were formed in the aforementioned semiconductor substrate is prepared. While connecting electrically the aforementioned

resistance diffusion field and the aforementioned gate terminal to the aforementioned signal input terminal. It is desirable by connecting the aforementioned FET diffusion field to another side of the aforementioned DC-power-supply input terminal electrically to form MOSFET for input protections between the aforementioned signal input terminal and the DC-power-supply input terminal of aforementioned another side (claim 3).

[0009]

[Function and Effect(s) of the Invention] When a surge input is impressed between a signal input terminal and a positive DC-power-supply input terminal according to semiconductor integrated circuit equipment according to claim 1. When the level of the surge input to a signal input terminal is negative. While the voltage of the forward direction is impressed between a resistance diffusion field and a semiconductor substrate, the big voltage of the opposite direction equivalent to the level of a surge input comes to be impressed between a semiconductor substrate and a diode diffusion field. By this, the diode formed between a semiconductor substrate and a diode diffusion field starts avalanche breakdown, and comes to pass current. By this, current can flow toward a signal input terminal from a positive DC-power-supply input terminal, a surge input can be absorbed, and the electrostatic discharge of an integrated circuit can be prevented now.

[0010] moreover, when a surge input is impressed between a signal input terminal and a positive DC-power-supply input terminal and the level of the surge input to a signal input terminal is positive. While the voltage of the forward direction is impressed between a semiconductor substrate and a diode diffusion field, the big voltage of the opposite direction equivalent to the level of a surge input comes to be impressed between a diffused-resistor field and a semiconductor substrate. By this, the parasitic diode formed between a diffused-resistor field and a semiconductor substrate starts avalanche breakdown, and comes to pass current. By this, current can flow toward a positive DC-power-supply input terminal from a signal input terminal, a surge input can be absorbed, and the electrostatic tolerance dose of an integrated circuit can be raised now.

[0011] Since it is in the position where the resistance diffusion field formed in the semiconductor substrate and a diode diffusion field adjoin according to semiconductor integrated circuit equipment according to claim 2, the current which flows when one of diffusion fields starts avalanche breakdown as mentioned above can be passed now through the short path inside a semiconductor substrate, a surge input can be absorbed efficiently, and the electrostatic tolerance dose can be raised more.

[0012] When a surge input is impressed between a signal input terminal and the DC-power-supply input terminal of grand level according to semiconductor integrated circuit equipment according to claim 3. Since the by-pass of the current corresponding to the level of a surge input can be carried out now through MOSFET. Even when the surge input impressed to a signal input terminal has occurred in between [ which / of the DC-power-supply terminal of a couple ], the by-pass of this can be carried out and the electrostatic tolerance dose of an integrated circuit can be raised.

[0013]

[Example] It explains referring to a drawing hereafter about one example at the time of applying this invention to CMOS-IC of SOI structure using the silicon substrate. In drawing 2 shown with the plan of the state except drawing 1 and the electrode which show the whole typical cross section, mostly, the insulator layer 2 which consists of a silicon oxide etc. crosses to the whole surface, and is formed in the front face of the silicon substrate 1 of low high impurity concentration of p form which is a semiconductor substrate, and the thin-film-semiconductor layer 3 is formed in the upper part.

[0014] The CMOS inverter circuit 4 is formed in the thin-film-semiconductor layer 3 as a signal input part of an integrated circuit. The inverter circuit 4 consists of p channel type MOSFET5 and n channel type MOSFET6. It considers as composition with the gates 5a and 6a formed in each MOSFETs 5 and 6 through the source, drain, and gate oxide film which were formed in the thin-film-semiconductor layer 3. The window part 7 is formed in the position which adjoins an inverter circuit 4 at the insulator layer 2, and the diode diffusion field 8 which diffused and formed the impurity of n form by high concentration is formed in the silicon substrate 1 of the portion. And Diode D is constituted by the pn junction of this diode diffusion field 8 of n form and silicon substrate 1 of p form.

[0015] Moreover, the resistance diffusion field 9 which diffused and formed the impurity of n form in the silicon-substrate 1 interior by high concentration is formed in the position contiguous to the diode diffusion field 8, and window parts 10 and 11 are formed in the insulator layer 2 of the both ends of the resistance diffusion field 9. And the resistance diffusion field 9 is constituted as resistance R which has predetermined resistance by the field formed among these window parts 10 and 11 at a longitudinal direction.

[0016] Furthermore, the FET diffusion field 12 which diffused and formed the impurity of n form by high concentration is formed in the silicon-substrate 1 interior of the position contiguous to the resistance diffusion field 9. The gate 13 is formed on insulator layer 2a currently formed in the front face between this FET diffusion field 12 and the resistance diffusion field 9, and the MOS form field-effect transistor (MOSFET) Tr of n channels is constituted by these. In addition, the contact diffusion field 14 which diffused and formed the impurity of p form by high concentration in the silicon substrate 1 is formed in the position contiguous to the FET diffusion field 12.

[0017] The insulator layer 15 for protection is formed in the whole surface except the predetermined part, an electrode 16 is formed in the upper part formed as mentioned above by the vacuum evaporation of aluminum etc. after that, and it is made to connect each part to it electrically. In this case, the diode diffusion field 8 is connected to electrode 16b of the source of MOSFET6 of an inverter circuit 4 while electrode 16a connects with an external power through the positive DC-power-supply input terminal VC.

[0018] Electrode 16c formed in the side which adjoins the diode diffusion field 8 of the resistance diffusion field 9 is connected common to the gate of MOSFETs 5 and 6 which are the input sections of an inverter circuit 4, and 16d of

electrodes formed in the another side side of the resistance diffusion field 9 is connected to the signal input terminal S which carries out to the electrode formed in the gate 13 of Transistor Tr in common, and is drawn outside. Moreover, electrode 16e formed in the FET diffusion field 12 is used as the electrode formed in the contact diffusion field 14 in common, and is connected and grounded to the grand terminal G which are other DC-power-supply input terminals.

[0019] In addition, in the above-mentioned composition, if a reverse voltage is impressed more than predetermined, as for the diode D which consists of a diode diffusion field 8 and a silicon substrate 1, pn junction will start avalanche breakdown, and a reverse current flows. Moreover, if the pn junction by which the resistance diffusion field 9 is formed between silicon substrates 1 functions as parasitism diode DD and the reverse voltage more than predetermined is impressed like \*\*\*\* also in this parasitism diode DD, pn junction will start avalanche breakdown and a reverse current will flow.

[0020] Drawing 3 is what showed the above-mentioned composition with the electric equal circuit, the inverter circuit 4 is connected between the DC-power-supply input terminal VC and the grand terminal G, and the signal input terminal S is connected to the gate which is the input section of an inverter circuit 4 through Resistance R. And Diode D is connected to the opposite direction between the DC-power-supply input terminal VC and the grand terminal G, and it is in the state where Transistor Tr was connected, between the signal input terminal S and the grand terminal G.

[0021] Next, an operation of this example is explained also with reference to drawing 4 or drawing 7. First, the case where the surge which serves as negative to the power supply input terminal VC at the signal input terminal S is impressed is described. In this case, on the equal circuit shown in drawing 5, there is no path by which a surge current is absorbed and it will be impressed by the inverter circuit 4 side. However, by impressing large voltage to the diode D between the diode diffusion field 8 and a silicon substrate 1 in this case, and starting avalanche breakdown, the current path from a silicon substrate 1 to an input terminal S side through the parasitism diode DD (a drawing 4 destructive line shows) formed in resistance diffusion field 9 portion is formed, and the by-pass of the surge current comes to be carried out.

[0022] Therefore, as the white arrow K in drawing shows, a surge current reaches [ from the power supply input terminal VC ] the resistance diffusion field 9 through the diode diffusion field 8 and a silicon substrate 1, and comes to flow in the path which leads to the signal input terminal S from there. It can prevent now that carry out the by-pass of the surge current, and an overvoltage is impressed to the input section of an inverter circuit 4 by this.

[0023] Next, the case where a surge higher than the direct current voltage of the power supply input terminal VC is impressed to the signal input terminal S is described. In this case, on the equal circuit shown in drawing 7, there is no path by which a surge current is absorbed like \*\*\*\*, and it will be impressed by the inverter circuit 4 side. However, if a reverse voltage will be impressed to the parasitism diode DD (a drawing 6 destructive line shows) formed between the resistance diffusion field 9 and a silicon substrate 1 and the reverse voltage becomes more than predetermined voltage while resulting [ from the signal input terminal S ] in an inverter circuit 4 through the resistance diffusion field 9 in this case, the parasitism diode DD will come to start avalanche breakdown.

[0024] Therefore, as the white arrow M in drawing shows, a surge current reaches [ from an input terminal S ] the diode diffusion field 8 through the inside of the resistance diffusion field 9 and a silicon substrate 1, and comes to flow in the path which leads to the power supply input terminal VC from there. It can prevent that carry out the by-pass of the surge current, and an overvoltage is impressed to the input section of an inverter circuit 4 by this.

[0025] Moreover, to the surge impressed between the signal input terminal S and the grand terminal G, when the MOS form field-effect transistor Tr turns on, the by-pass of the surge current can be carried out.

[0026] Since it considered as the composition which forms the diode diffusion field 8, the resistance diffusion field 9, and the FET diffusion field 12 in a silicon substrate 1 according to such this example As the surge impressed between the signal input terminal S and the DC-power-supply input terminal VC is received, it sets it to be a gap and avalanche breakdown is started, the by-pass of the surge current can be carried out. The by-pass of this can be carried out now also to the surge impressed between an input terminal S and the grand terminal G, it can prevent that the inverter circuit 4 which is an integrated circuit of SOI structure starts an electrostatic discharge, and improvement in an input protection can be aimed at.

[0027] this invention is not limited only to the above-mentioned example, and can be transformed and extended as follows. It is applicable not only to the inverter circuit 4 but the integrated circuit of other SOI structures, such as CPUs, such as a microcomputer, and DSP. The polarity of each element can apply similarly except for a bird clapper to the semiconductor integrated circuit of the SOI structure of the composition using the silicon substrate of n form on the contrary.

---

[Translation done.]